

PAT-NO: JP360004253A
DOCUMENT-IDENTIFIER: JP 60004253 A
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT MEMORY
PUBN-DATE: January 10, 1985

INVENTOR-INFORMATION:
NAME
HONDA, MASAHIKO

ASSIGNEE-INFORMATION:
NAME COUNTRY
NEC CORP N/A

APPL-NO: JP58113133

APPL-DATE: June 23, 1983

INT-CL (IPC): H01L027/10, G11C011/40

US-CL-CURRENT: 257/538, 257/758 , 257/903

ABSTRACT:

PURPOSE: To improve the integration density by reforming the wiring structure, in the title device having a static type memory cell using a double-layer metallic wiring.

CONSTITUTION: A field insulation film 12, a gate insulation film 13, and diffused layers 14, 15, and 16 are formed on a semiconductor substrate 11 by a normal method. A word line 6 connected to an MOSFET is formed by the formation of the first polycrystalline Si layer 17, which line is then insulated with an interlayer insulation film 18, and a power source line 5 and a resistor R connected thereto are formed by means of the second polycrystalline layer. A

ground line 1 made of the first Al layer is formed by insulation with an interlayer insulation film 19, which line is then insulated by being covered with an interlayer insulation film 20, and data lines 3 and 4 are formed thereon in the direction rectangular to the ground line by means of the second Al layer. Since the area required for wiring can be thus reduced, the integration density can be improved by said reduction amount.

COPYRIGHT: (C)1985,JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭60—4253

⑪ Int. Cl.⁴

H 01 L 27/10

G 11 C 11/40

識別記号

庁内整理番号

6655—5 F

6549—5 B

⑬ 公開 昭和60年(1985)1月10日

発明の数 1

審査請求 未請求

(全 4 頁)

⑭ 半導体集積回路メモリ

東京都港区芝五丁目33番1号日

本電気株式会社内

⑮ 特 願 昭58—113133

⑯ 出 願 人 日本電気株式会社

⑰ 出 願 昭58(1983)6月23日

東京都港区芝5丁目33番1号

⑱ 発 明 者 本田政彦

⑲ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

半導体集積回路メモリ

2. 特許請求の範囲

半導体基板に設けられた4個のMOSFETと2個の抵抗とで構成されるメモリセルを複数個と、該メモリセル毎に接続されるワード線とデータ線とグラウンド線とを有する半導体集積回路メモリにおいて、前記データ線とグラウンド線の配線が下層の第1のアルミニウム配線層と該第1のアルミニウム配線の上に層間絶縁膜を介して設けられた上層の第2のアルミニウム配線から構成され、前記第1及び第2のアルミニウム配線のうちのいずれか一方がX方向にグラウンド線として配置され、他方がY方向にデータ線として配置されていることを特徴とする半導体集積回路メモリ。

3. 発明の詳細な説明

〔発明の属する技術分野〕

本発明は半導体集積回路メモリに関し、特に二層金属配線を用いたスタティック型メモリセルを有する半導体集積回路メモリに関する。

〔従来技術〕

従来、絶縁ゲート電界効果トランジスタ(以下MOSFETと記す。)を用いたスタティック型メモリは1キロビット、4キロビットとメモリ容量が小さい為にメモリセルの寸法をそれほど小さくする必要がなかった。しかし、16キロビット、64キロビットとメモリ容量が増加するに従い、チップ寸法に対するセル配列部の比は大きくなり、セル寸法の縮小化が必然的に必要となってきた。

第1図は従来のスタティック型メモリの回路図である。

図においてT₁、T₂はフリップフロップ回路を形成するMOSFET、Rは負荷抵抗、T₃およびT₄は転送用MOSFET、1、2はグラウンド線、3、4はデータ線、5は電源線、6はワード線である。

第2図(a),(b)は第1図に示すスティック型メモリを半導体基板に実現したものの平面図及びA-A'断面図である。

半導体基板11にフィールド絶縁膜12, ゲート絶縁膜13, 拡散層14, 15, 16を通常の方法により形成する。第1の多結晶シリコン層17を形成してMOSFET: $T_1 \sim T_4$ のゲートとこれらのゲートに接続するワード線6を形成する。層間絶縁膜18で絶縁し、第2の多結晶シリコン層により電源線5とこれに接続する抵抗Rとを形成する。層間絶縁膜19で絶縁してアルミニウム層を形成してグラウンド線1, データ線3, 4を形成する。

このメモリセル1個当りの縦方向(Y方向)の配線は第1の多結晶シリコン層で形成されるワード線6と第2の多結晶シリコン層で形成される電源線5の2本であるが、横方向(X方向)の配線はアルミニウム層で形成されるグラウンド線1, データ線3, 4の3本である。この3本のアルミニウム配線のためにメモリセルの大きさを小さくす

るには限度があり、メモリの集積密度を向上できないという欠点があった。

〔発明の目的〕

本発明の目的は、上記欠点を除去し、配線構造の改良により集積密度を向上させた半導体集積回路メモリを提供することにある。

〔発明の構成〕

本発明の半導体集積回路メモリは、半導体基板に設けられた4個のMOSFETと2個の抵抗とで構成されるメモリセルを複数個と、該メモリセル毎に接続されるワード線とデータ線とグラウンド線とを有する半導体集積回路メモリにおいて、前記データ線とグラウンド線の配線が下層の第1のアルミニウム配線層と該第1のアルミニウム配線層の上に層間絶縁膜を介して設けられた上層の第2のアルミニウム配線層から構成され、前記第1及び第2のアルミニウム配線層のうちのいずれか一方がX方向にグラウンド線として配置され、他方がY方向にデータ線として配置されていることを特徴とする。

〔実施例の説明〕

次に、本発明の実施例について図面を用いて説明する。

第3図(a),(b)は本発明の第1の実施例の平面図及びB-B'断面図である。

層間絶縁膜19を形成する所までは第2図(a),(b)で説明したのと同じである。この実施例では第1のアルミニウム層によってグラウンド線1を形成する。層間絶縁膜20で覆って絶縁し、その上に第2のアルミニウム層でデータ線3, 4を形成する。第3図(a),(b)においては、図面の複雑化を避けるために、グラウンド線1と電源線5とは重ならないように描いてあるが、グラウンド線1と電源線5とは層間絶縁膜19で絶縁されているので、実際の製造においては重なることができるのである。従って、Y方向にグラウンド線を設けてもX方向の幅を広くしないで済む。そしてX方向においては従来あったグラウンド線をなくしたのであるから、その分だけ配線に要する面積を小さくでき、集積密度を向上させることができる。

第4図は本発明の第2の実施例の平面図である。ただし、簡単のため配線のみを示している。

第1のアルミニウム層でグラウンド線1を形成するとき、間隔を置いて第2のワード線7を設ける。第2のワード線7はワード線6と開口部8で接続する。図面の複雑化を避けるため、ワード線6と7とは重ならないように描いてあるが、実際には層間絶縁膜19で絶縁されているので、ワード線6と7とは重なることができる。それ故、第2のワード線7を設けても半導体チップの所製面積を増大させることはない。ワード線6は多結晶シリコンで作られているので抵抗が大きく、伝搬遅延が起るという問題があるが、第2のワード線7をアルミニウムで作し、ワード線6へ接続してやると、アルミニウムは抵抗が小さいので、伝搬遅延を無視できる程小さくすることができるという効果が得られる。

第5図は本発明の使用例の平面図である。

1つのメモリセルを M_{ij} で表示するとき、3個の隣り合ったメモリセル、例えば M_{11} , M_{12} , M_{13}

と M_{21} 、 M_{22} 、 M_{23} 、ごとにワード線6と第2のワード線7とを接続する。ワード線6と7とは第2の実施例で説明したのと同じである。このように単位メモリセルごとではなく、複数個まとめてワード線6と7とを接続しても前述の伝搬遅延を小さくすることができる。

〔発明の効果〕

以上詳細に説明したように、本発明によれば、配線構造を改良することにより集積密度を向上せしめた半導体集積回路メモリが得られるのでその効果は大きい。

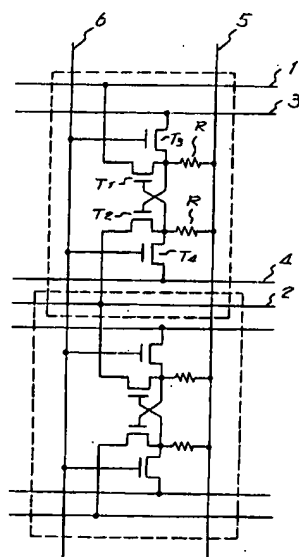
5 ……電源線、6 ……ワード線、7 ……第2のワード線、8 ……開口、11 ……半導体基板、12 ……フィールド絶縁膜、13 ……ゲート絶縁膜、14、15、16 ……拡散層、17 ……第1の多結晶層、18、19、20 ……層間絶縁膜。

代理人 弁理士 内 原 賢

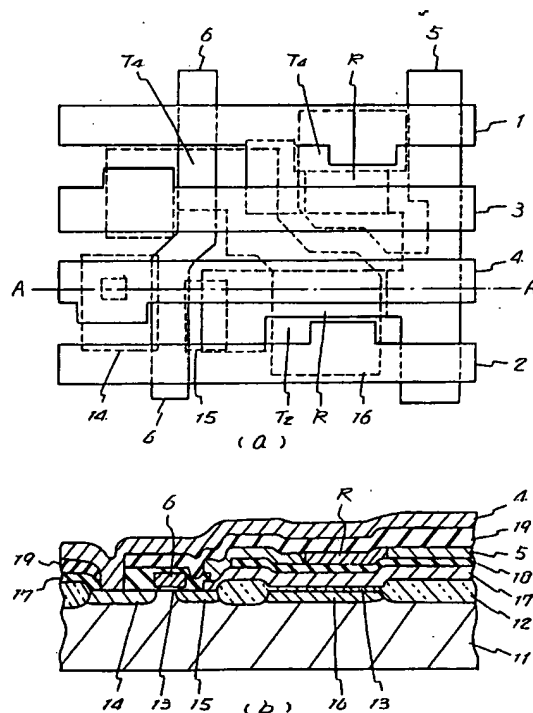
4. 図面の簡単な説明

第1図は従来のスティック型メモリの回路図、第2図(a)、(b)は第1図に示すスティック型メモリを半導体基板に実現したものの平面図及び断面図、第3図(a)、(b)は本発明の第1の実施例の平面図及び断面図、第4図は本発明の第2の実施例の平面図、第5図は本発明の使用例の平面図である。

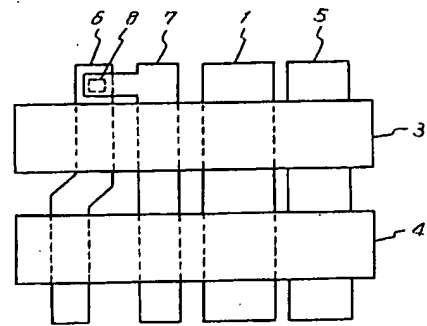
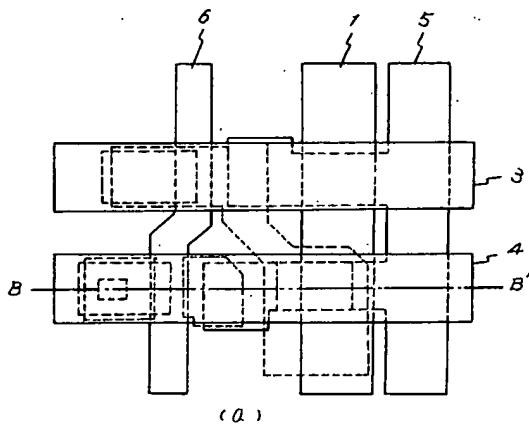
1、2 ……グランド線、3、4 ……データ線、



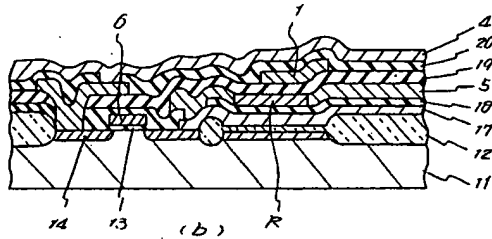
第 1 図



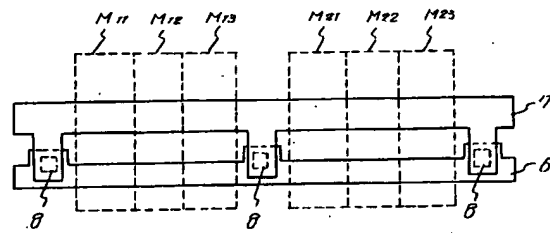
第 2 図



第 4 図



第 3 図



第 5 図